

PACKAGING SUBSTRATE

Patent Number: JP7307434
Publication date: 1995-11-21
Inventor(s): MIURA OSAMU; others: 08
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP7307434
Application Number: JP19950058530 19950317
Priority Number(s):
IPC Classification: H01L23/522; H01L23/12
EC Classification:
Equivalents:

Abstract

PURPOSE:To accelerate the signal transmission of plural LSI packaged in high density by a method wherein the LSI are formed so as to electrically connect the memory LSI and the logic LSI through the intermediary of outer terminals.

CONSTITUTION:A logic LSI 4 and memory LSI 5, 6 are buried in counter sunk parts 2 in a ceramic substrate 3 having an inner layer circuit 1, for wiring the counter-sunk parts 2 so as to pelletize the logic and memory LSI 4-6 on the ceramic substrate 3. Next, a wiring sheet 9 whereon the signal circuits of the memories LSI 4-6 are formed is set in the space between the surface circuit of the ceramic substrate 3 and the external outer terminal 8 using a heated and pressure fixed thermal resistant sheet 11. Through these procedures, the module substrate for rapid processor for a larger general purpose computer or work station can be packaged in high density.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-307434

(43) 公開日 平成7年(1995)11月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/522 23/12			H 0 1 L 23/ 52 23/ 12	B N

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平7-58530

(22) 出願日 平成7年(1995)3月17日

(31) 優先権主張番号 特願平6-48235

(32) 優先日 平6(1994)3月18日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 三浦 修

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 高橋 昭雄

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 三輪 崇夫

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

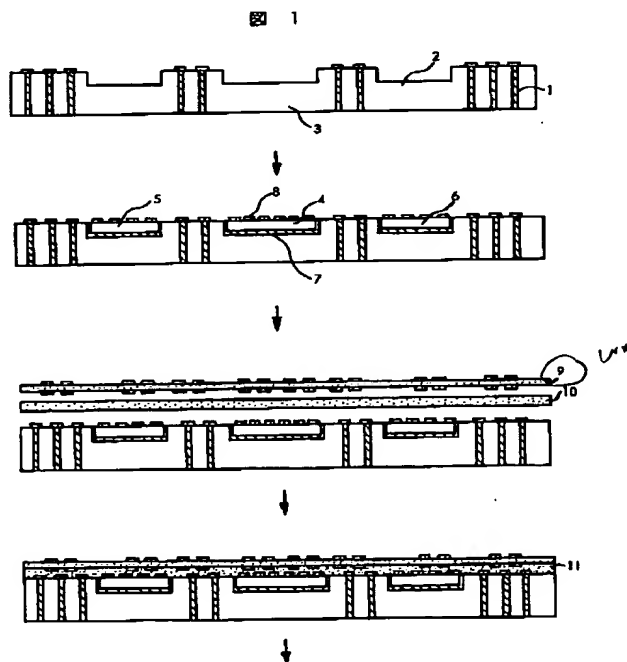
(54) 【発明の名称】 実装基板

(57) 【要約】

【目的】汎用大型計算機及び高速プロセッサの薄型・高密度実装基板に用いる。

【構成】内部に多層配線を持たず、素子のみが形成されたメモリーLSI 5、6及び論理LSI 4が搭載されたセラミックス基板3上に両LSIの信号伝送を受け持つ配線シート22、23を設け、薄型の実装基板31を得る。

【効果】超薄型で低コスト、高速伝送が可能な実装基板が得られる。



【特許請求の範囲】

【請求項1】少なくとも1個のメモリー大規模集積回路素子および少なくとも1個の論理大規模集積回路素子と、これらを搭載するための基板と、前記基板上に形成された多層配線回路層とを有する実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されていることを特徴とする実装基板。

【請求項2】少なくとも1個のメモリー大規模集積回路素子および少なくとも1個の論理大規模集積回路素子を搭載した基板と、前記基板上に形成された多層配線回路層から成る実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されており、かつ前記多層配線回路層に前記メモリー大規模集積回路素子及び前記論理大規模集積回路の補修回路が具備されていることを特徴とする実装基板。

【請求項3】少なくとも1個のメモリー大規模集積回路素子および少なくとも1個の論理大規模集積回路素子とこれらを搭載するための基板と、前記基板上に形成された多層配線回路層とを有する実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されており、かつ多層配線回路層の配線抵抗が前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の配線抵抗より小さいことを特徴とする実装基板。

【請求項4】少なくとも1個のメモリー大規模集積回路素子および少なくとも1個の論理大規模集積回路素子と、これらを搭載するための基板と、前記基板上に形成された多層配線回路層とを有する実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されており、かつ多層配線回路層の特性インピーダンスが $50\Omega \sim 250\Omega$ 、配線ピッチが $1\mu m \sim 50\mu m$ であることを特徴とする実装基板。

【請求項5】少なくとも1個のメモリー大規模集積回路素子および少なくとも1個の論理大規模集積回路素子

と、これらを搭載するための基板と、前記基板上に形成された多層配線回路層とを有する実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されており、かつ動作周波数が $500MHz \sim 10GHz$ 領域での整合信号伝送を可能とすることを特徴とする実装基板。

【請求項6】少なくとも1個のメモリー大規模集積回路素子および少なくとも1個の論理大規模集積回路素子が埋め込まれた基板と、前記基板上に形成された多層配線回路層とを有する実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されており、かつ厚さが $1mm$ 以下であることを特徴とする実装基板。

【請求項7】少なくとも1個のメモリー大規模集積回路素子および少なくとも1個の論理大規模集積回路素子と、これらを搭載するための基板と、前記基板上に形成された多層配線回路層とを有する実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されていることを特徴とするローカル・エリア・ネットワーク用集積回路搭載カード。

【請求項8】少なくとも1個のメモリー大規模集積回路素子を搭載した基板と、前記基板上に形成された多層配線回路層とを有する実装基板において、前記メモリー大規模集積回路素子の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子と電気接続されていることを特徴とするメモリー大規模集積回路素子搭載カード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、大型汎用計算機やワークステーション、高速プロセッサ等で用いられる大規模集積回路素子(LSI)のモジュール基板の高密度化が図れるとともに安価に製造できるメリットを有している。本発明は、その他の電子デバイスへの応用として、ローカル・エリア・ネットワーク(LAN)をパーソナルコンピュータとの接続用のLSIモジュールなどがある。例えば、本発明によれば、パーソナルコンピュータ

上でLANを駆動できるようなモジュール基板(LANカード)として、パーソナルコンピュータ内に携帯することも可能となる。また、パーソナルコンピュータが高機能化するに伴って大容量のメモリーカードが必要となる。その場合にも本発明の実装基板の概念を利用できる。

【0002】

【従来の技術】大型汎用計算機やワークステーション、高速プロセッサ用のLSIのモジュール基板などの実装基板は、LSI間を渡る信号伝送の高速化を図るため、複数のLSIが高密度に実装でき、かつ、基板内での信号遅延を小さくすることが増々重要な課題となつてい

る。しかし、これらの基板の要求を満足しつつ、低コストでしかも、ポータブル化に対応したダウンサイジングが可能な基板を作製できる技術はまだ提供されていない。

【0003】大型電算機の高速化に伴い、これに用いるプリント回路板の高多層化、高密度化が要求されている。高密度化を達成するための実装方式として、LSIチップを多層プリント回路板に直接搭載する方法(以下ベアチップ実装と略す)がある。LSIを直接搭載する基板としては、セラミックス系の基板材料(一例として、"A New Set of Printed-Circuit Technologies for the IBM3081 Processor Unit" IBM.J.RES.DEVELOP: Vol.26, No.1, Jan., 1982がある。)があり、実用化されている。しかし、材料自体の誘電率が高いこと、基板の成形温度が高いことから配線導体として銅よりも抵抗の高いタングステンやモリブデンを使用することになり、電気信号の伝播速度の点で不利となる欠点がある。新たな実装方法として、配線導体に銅が使用でき、かつ誘電率の低い有機高分子を絶縁層とする多層回路板が適用できることが最も望ましいが、従来の技術では絶縁層の形成及び、その平坦化に多大な工程時間を要するとともに、歩留まりの向上が困難であった。

【0004】特に計算機の高速化、とりわけ、オープンアーキテクチャーを有する高速プロセッサでは、動作周波数が500MHzから10GHzまでの高周波となる。これに対応するためには、信号配線回路をより短く、また配線を絶縁する絶縁膜材料は低誘電率でしかも厚い膜が要求される。この要求特性に最適な絶縁膜材料として、ポリイミドが挙げられる。ポリイミドを用いた実装基板もしくは多層配線などは、特開昭63-239898号などに紹介されている。しかし、前述の高速プロセッサに対応したLSIの実装基板、特にLSI間の信号授受を受け持つ多層配線の特性インピーダンスは50~250Ωまでの範囲が要求される。これには、絶縁層として、ポリイミドの厚さが10~50μm要求される。またインピーダンスのマッチングのため、絶縁層の膜厚さのばらつき、及び各層での平坦性が必要となる。この場合、LSIの多層配線のプロセスにみられるような逐次

多層化する方法では、ポリイミドを絶縁膜の膜厚さの均一性を保つことは困難である。また、実装基板の製造技術においても従来技術には、実装基板の高性能化に追随するには種々の問題がある。例えば、WやMo等の配線層を厚膜プロセスで形成し積層焼結したセラミックス基板上にポリイミド層間絶縁膜とし、CuやAlを導体層を薄膜プロセスで形成した薄膜、厚膜混合基板が注目され、開発されつつある。薄膜配線部におけるポリイミドの誘電率がセラミックスより小さく、低抵抗のCuやAlを使用できかつ半導体プロセスを用いることによって、信号伝送の高速化と高密度化が可能となる。しかし、計算機の高性能化に伴い、単位面積当りの実装ゲート数が増大し、これに対応するためには薄膜配線層の積層数を増やすことになる。薄膜多層配線を形成する技術については、すでにいくつか報告されている。しかしその基本的プロセスはセラミックス基板やSi基板上に導体層、スルーホール及びポリイミド層のバターンニングをフォトリソの露光、現像によって行う薄膜プロセスが用いられている。しかし、この薄膜プロセスは配線の微細化には適しているが、導体とスルーホールを一層ずつ形成するいわゆる逐次積層方式となるため、積層数の多い薄膜配線を形成する場合には膨大な時間を必要とし、さらに最終のプロセス段階で生じる不良によって、基板全体が不良になり、歩留まりが低く製品コストが高いものになるという欠点があった。また、薄膜配線では配線抵抗を低いレベルに抑えるため、配線幅を微細化すると配線厚さを大きくして断面積を確保する必要がある。また絶縁層の厚さはほぼ配線膜の厚さと同程度度が配線の特性インピーダンス(Z₀)のマッチングの点から望ましい。また各配線層の絶縁膜は完全に均一平坦化され、かつ各層の絶縁層厚さのばらつきも5%以下に抑えることが必要となる。しかし、現状の方法では、配線層の厚さが線幅と同一かそれ以上になり、流動性をもつポリイミドワニスを用いても平坦性の確保が困難となる。このため、ポリイミドワニスを熱硬化し、ポリイミド膜が形成された後、研磨、ラッピングもしくはポリッシングなどの方法により、ポリイミド膜を平坦化し、下部の導体配線の頭出しを行うなどの工程が必要であった。特にこの一連の工程では、最終的な配線層表面の平坦性の精度の要求に比例し、工程時間が増大するとともに、歩留まりの向上が困難となり、積層数の増大とともに配線パターンの精度が悪くなり、断線やショートが多くなるといった問題があった。さらに、入出用の端子を有するセラミックス基板や、下層の薄膜配線部は繰返し熱履歴や水、薬品等への浸漬を受けることになり、界面の劣化や不純物イオンによる汚染が生じ、信頼性が低下するという問題があった。

【0005】

【発明が解決しようとする課題】本発明の目的は上記のような従来技術の欠点をなくし、大型汎用計算機やワー

クステーション、高速プロセッサ用のLSIのモジュール基板などの実装基板において、複数のLSIを高密度に実装し、信号伝送の高速化を図ることが可能でしかも、低コストで、ポータブル化に対応したダウンサイジングが可能な基板を提供できることにある。また実装基板において、薄膜配線層の層数の多い基板の場合においても歩留まり良く、かつ短時間で薄膜配線層形成が可能な構造を提供することにある。

【0006】

【課題を解決するための手段】上記の課題を解決する手段は以下の通りである。本発明の第一の手段は、少なくとも1個のメモリー大規模集積回路素子と少なくとも1個の論理大規模集積回路素子を搭載した基板と前記基板上に形成された多層配線回路層から成る実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されていることを特徴とする実装基板である。

【0007】本発明の第二の手段は、少なくとも1個のメモリー大規模集積回路素子と少なくとも1個の論理大規模集積回路素子を搭載した基板と前記基板上に形成された多層配線回路層から成る実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されており、かつ前記多層配線回路層に前記メモリー大規模集積回路素子及び前記論理大規模集積回路の補修回路が具備されていることを特徴とする実装基板である。

【0008】本発明の第三の手段は、少なくとも1個のメモリー大規模集積回路素子と少なくとも1個の論理大規模集積回路素子を搭載した基板と前記基板上に形成された多層配線回路層から成る実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されており、かつ多層配線回路層の配線抵抗が前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の配線抵抗より小さいことを特徴とする実装基板である。

【0009】本発明の第四の手段は、少なくとも1個のメモリー大規模集積回路素子と少なくとも1個の論理大規模集積回路素子を搭載した基板と前記基板上に形成さ

れた多層配線回路層から成る実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されており、かつ多層配線回路層の特性インピーダンスが $50\Omega \sim 250\Omega$ 、配線ピッチが $1\mu m \sim 50\mu m$ であることを特徴とする実装基板である。

【0010】本発明の第五の手段は、少なくとも1個のメモリー大規模集積回路素子と少なくとも1個の論理大規模集積回路素子を搭載した基板と前記基板上に形成された多層配線回路層から成る実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されており、かつ動作周波数が $500MHz \sim 10GHz$ 領域での整合信号伝送を可能とすることを特徴とする実装基板である。

【0011】本発明の第六の手段は、少なくとも1個のメモリー大規模集積回路素子と少なくとも1個の論理大規模集積回路素子が埋め込まれた基板と前記基板上に形成された多層配線回路層から成る実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されており、かつ厚さが $1mm$ 以下であることを特徴とする実装基板である。

【0012】本発明の第七の手段は、少なくとも1個のメモリー大規模集積回路素子と少なくとも1個の論理大規模集積回路素子を搭載した基板と前記基板上に形成された多層配線回路層から成る実装基板において、前記メモリー大規模集積回路素子及び前記論理大規模集積回路の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子及び前記論理大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子及び前記論理大規模集積回路と電気接続されていることを特徴とするローカル・エリア・ネットワーク用集積回路搭載カードである。

【0013】本発明の第八の手段は、少なくとも1個のメモリー大規模集積回路素子を搭載した基板と前記基板上に形成された多層配線回路層から成る実装基板において、前記メモリー大規模集積回路素子の信号回路が、前記基板上の多層配線回路層中に形成されており、前記メモリー大規模集積回路素子の外部端子を介して、前記メモリー大規模集積回路素子と電気接続されていることを

特徴とするメモリー大規模集積回路素子搭載カードである。

【0014】また実装基板の作製に関し、歩留まりを向上させ、かつ高速の信号伝送が可能となる実装基板を低コストで製造できる手段は、以下の内容である。

【0015】実装基板の信号回路の多層配線層を作製する工程において、各層の絶縁膜の作製法として、予めポリイミドがキュアリングされ、均一な膜厚さが保証される絶縁膜シートを用いている。また層内での平坦性を保つため、加熱、加圧することにより、流動性と接着性を有する絶縁膜シートと組み合わせた2層シートとしている。前者のポリイミドのシートを(A)、後者のシートを(B)とすると、シート(A)の膜厚さは加熱、加圧のプロセスで変化はない。一方、シート(B)層内の配線膜の配線/配線間のスペースに完全に充填された後の膜厚さを想定し、初期の膜厚さを設定する。こうして得られた最終的なシート(B)の膜厚さとシート(A)の膜厚さを足しあわせたのが各層の絶縁層の厚さである。このような方法で所望の一定膜厚さの絶縁層として提供されることにより、特性インピーダンスを $50\Omega\sim 250\Omega$ の範囲に設定可能としている。また本発明はダウンサイジングに対応して、信号配線回路の長さを短くするため、配線の微細化に対応したプロセスを提供している。そこで、本発明は、前述の多層配線基板を作製する工程において、(1)導体配線部に複合絶縁膜シートを加熱・圧着することにより、平坦化され、前記導体配線部の厚さの所定倍の絶縁層が形成される工程、(2)前記(1)の絶縁層に、レーザもしくはエッチングにより、行止り穴を開く工程、(3)前記(2)の行止り穴に、めっき、もしくは蒸着、スパッタリング、CVDにより前記多層配線基板の層間接続用の配線が埋め込まれ、前記(1)の絶縁層とからなる平坦化された配線層が得られる工程、(4)前記(3)の配線層上にサブトラクティブもしくはアディティブ法により、一定厚さの導体配線を形成した後、前記(1)、(2)、(3)と同様の工程を繰返し、多層化する工程、を有することを特徴とし、配線ピッチ $1\mu m\sim 50\mu m$ の配線ルールを可能とするものである。

【0016】MCM(マルチチップモジュール)には、数多くの方法が提案されているが、配線基板の種類・構造によって分類される。シリコン技術の進歩によって、チップの動作速度は急速にアップしているが、回路基板に実装することによって、動作速度が制限され、パッケージと回路基板のシステムのスピードを決める要因となり、これまでの表面実装方式では、高速領域での伝送特性を確保することが困難となってきた。そこで、パッケージで発生する遅延時間をできるだけ短縮するため、ワンパッケージの中にできるだけ数多くのベアチップを搭載し、遅延時間を短くする方法として、マルチチップモジュールがある。その一つとして、特にワークステーションのような高速処理に用いられるマイクロプロ

セッサ(MPU)の高速性能を発揮させるため、Si on Si構造のMCMやセラミックス基板上に薄膜多層配線が形成されたMCMなどが発表されている。しかし、現状の方法ではSi基板の配線歩留まりが即、このMCMの製品歩留まりに直結している。そこで、このMCMの歩留まりを向上させる方法として、このSi基板の配線膜上に別体で作製し、予め良品選別された多層配線膜を接着積層することにより、MCMの歩留まりを確保するものである。

10 【0017】特に重要なのはLSIの高集積化、サイズ拡大に伴い、LSIの歩留まりを維持するため、LSI内部の配線はP、N素子などの機能素子回路のみにとどめ、後のLSI内部、LSI間の信号の授受を受け持つ回路は別配線とし、別体で作製し、あとでSiやセラミックス等の基板に接着し、LSIと電気接続する。またこの別配線は抵抗の小さい銅で配線することにより、LSI内部の配線抵抗より、低く提供できる。このような一連の作製方法により、少なくとも1個のメモリー集積回路素子と少なくとも1個の論理集積回路素子が実装された基板上に形成される多層配線層において、前記多層配線層が前記基板と前記集積回路素子間に電気接続を可能とし、特性インピーダンス $50\Omega\sim 250\Omega$ を有し、配線ピッチ $1\mu m\sim 50\mu m$ の配線ルールを有し、かつ前記集積回路素子より、低抵抗の配線抵抗を有することにより、動作周波数が $500MHz\sim 10GHz$ 領域での整合信号伝送を可能とすることを特徴とする実装基板を提供できる。

【0018】

30 【作用】本発明は半導体実装基板の絶縁膜において、高平坦性、耐熱性接着シートを用いることにより、高速動作のLSIを実装する配線基板を作製することが可能となる。

【0019】LSIを構成する基本要素として、トランジスタ、ダイオードなどの能動素子、抵抗、容量などの受動素子、そしてこれら素子を電気的に絶縁する分離層、これらの素子を結び付ける配線がある。これらの構成要素の中で、技術の飛躍的な進歩により、能動素子、受動素子、分離層を作製する過程での歩留まりや信頼性は大幅に向上した。一方、これら3つに比べ、配線形成技術はあまり向上しているとは言えない。特に、現在LSIは高速、大型化する傾向にあるが、このような大型高集積チップの製品歩留まりを左右しているのは、ほとんど配線形成、中でも多層化技術である。それは絶縁層(SiO₂)の平坦化や配線の微細加工が困難であることに起因している。また現在最も一般に用いられているのは、アルミニウム配線であるが、高集積化に伴い、配線が微細化すると、エレクトロマイグレーションの発生頻度も増加する。さらに高速動作のLSIでは配線抵抗による遅れが問題となる。

50 【0020】これらの問題を解決するには、配線部分を

LSIの外部に取り出し、配線金属として、アルミニウムより、低抵抗でしかも厚膜の形成が可能である金や銅を用い、絶縁層に平坦性の高いポリイミド樹脂を用いて配線形成する方法がある。このようにして、配線を外部に取り出すことにより、LSIの内部に置いた場合(〜10Ω/cm)に比べ、配線抵抗を大幅に低減(〜0.5Ω/cm)することができる。また金や銅を用いることにより、エレクトロマイグレーションの発生も解消できる。

【0021】高速動作を要するLSIでは層間容量を小さくするため、絶縁層の厚さが厚くなり、ポリイミド樹脂の熱硬化過程での基板であるシリコンの反りが増大し、チップをマウントする際に平坦性が確保できず問題が生じる。これらの問題を解決する手段として、予め、配線部分を別に作製した配線が形成されたシートを用意しておき、このシートをLSIに低温で接着する方法がある。この方法により、多層配線部の絶縁層の厚さを10μm以上とすることができ、マイクロストリップラインを想定した場合、配線インピーダンスを50〜250Ωの設定が可能となった。

【0022】配線特性インピーダンスが整合でき、絶縁層にシート材を用いる配線基板としては、プリント回路基板があった。前者では寸法安定性を維持するため、シート材中にガラスクロスを混入させているため、スルーホール微小化や配線の微細化に限界があった。

【0023】ダウンサイジングによるワークステーションの性能向上、特にRISCシステムを使用したワークステーションではVLSIチップ自身の性能が直接システムの性能を代表する。このチップの性能を引き出すには、

①チップからチップへの信号遅延を低減する。

【0024】②特性インピーダンスを大きく、かつ変動を小さくする。

【0025】という2点を満足する実装形態が必要となる。

【0026】特に、動作周波数が500MHzを超える高速動作が要求される領域では、チップ/チップ間のクリティカルパスの長さがサイクルタイムを決める最大要因となる。従来このような問題を解決する手段として、Silicon On Silicon(SOS)といった大型シリコン上に複数のチップを搭載する実装法があった。しかし、この方法では、配線にアルミニウムを用いているため、配線抵抗が10Ω/cm以上となり、高抵抗のため、周波数の高い領域ではノイズ発生などの問題を生じる。そこで、低抵抗でしかも配線長を短くすることが可能な薄膜化が容易で、また特性インピーダンスの変動を小さくする点から厚い絶縁層で厚さの均一性が保たれることが可能な実装法が要求される。

【0027】高速コンピュータ用のマイクロプロセッサ(MPU)は高いクロック周波数で作動し、CPUとキ

ャッシュメモリー間を高速バスで結んでいる。従来のシステムでは、プリント回路基板上でMPUとメモリーを接続していたが、この接続法では限界が生じ、システム性能に限界が生じてきた。これらを解決するため、MPUやメモリー間をベアチップ状態で搭載し、チップ間の実装で生じる遅延を小さくし、パッケージの寄生インダクタンスを抑える方法として、マルチチップモジュール(MCM)がある。これをさらに高度化した方法として、MPUとメモリーの各チップ内の配線を外部に取り出し、しかもアルミニウムより低抵抗な銅薄膜により配線形成することにより、チップ/チップ間のクリティカルパスの長さも短くできる。特に従来のように、チップ内で配線形成した場合では、チップ/チップ間の配線はチップ搭載部(アクティブエリア)以外の部分でしか利用できないため、レイアウトに制約があった。そこで、チップ内はトランジスタ、ダイオードなどの能動素子、抵抗、容量などの受動素子、そしてこれら素子を電気的に絶縁する分離層だけを作製するものとし、配線部分を別体で作製しておき、後工程でチップと接続すれば、チップ上にも配線形成でき、レイアウトに融通性が向上する。また作製工程の中で最も難易度の高い配線の工程が解消できるため、チップの歩留まりも大幅に向上し、低コストなLSIを提供できる。

【0028】

【実施例】本発明の薄型・高密度実装基板の製造法について、図1および図2を用いて説明する。内層回路1を内蔵し、LSI埋込用のざぐり2を有するセラミックス基板(厚さ0.8mm、サイズ5cm×5cm)3に論理LSI4とメモリーLSI(いずれも能動素子、受動素子、分離層のみで、多層配線は形成されず、出力端子のコンタクトが外部露出)5、6をざぐり部に埋め込み、金ペースト7でLSIをセラミックス基板にベレ付けした。次に、LSIの外部出力端子8と上下2層の銅配線を有し、前述のメモリー及び論理LSIの信号回路が形成された配線シート9を耐熱性接着シート10(日立化成工業(株)製N-4)を加熱・圧着(250℃)することにより、耐熱性接着シート11がセラミックス基板の表面回路およびLSIの外部出力端子部に充填された。以下の工程を図2を用いて説明する。外部出力端子部の直上部12、セラミックス基板の表面回路の直上部13の耐熱性接着シートをエキシマレーザを用いて開口した。続いて、配線シートとLSIの外部出力端子部14とセラミックスの表面回路15とを無電解化学銅めっき16、17により電気的に接続した。この工程で配線シートに内蔵されているLSI補修用の回路18及び補修パッド19とも銅めっき20で接続した。さらにLSIの信号の伝送回路に用いる2層の銅配線21(配線幅/スペース:20/20μm、厚さ20μm)を有する配線シート22と下層の配線シート23を耐熱性接着シート24を用いて、前述と同様の工程で加熱・圧着(250℃)

した。続いて、同様に耐熱性接着シートをエキシマレーザを用いて開口し、下層の配線シートの出力端子用のパッド25と上層の配線シートの信号回路26とを銅めっき27により電氣的に接続した。最後にセラミックス基板の裏面の出力端子28に電源供給用の出力ピン29をはんだ30で接続した。以上の一連の工程により、高速プロセッサ用の厚さ1mm以下の薄型高密度実装基板32を得た。さらに得られた実装基板を使って、LSIの駆動試験を行行た結果、500MHz～1GHzの動作周波数で駆動することを確認した。本実装基板を適用すれば、動作周波数10GHzのLSIも駆動可能である。

【0029】図3は、本発明の薄型高密度実装基板32の異なる製法を示している。論理LSI33とメモリーLSI34、35をセラミックス基板36のざぐり部37を介して、接着する方法としては、前述の金ペーストやはんだなどの金属ろう材で固着する方法の他に、耐熱シリコンゴムやエラストマーなどの非金属で接着する方法も可能である。この図は応力緩和剤となるエラストマー材38を用いて、LSIをセラミックス基板のざぐり部に固定した実装基板を示している。

【0030】本発明の薄型実装基板では、絶縁層に厚さが一定の耐熱接着シートを用いているため、常に絶縁層の厚さを一定の値に制御でき、特性インピーダンス(Z_0)を設計値の5%以内の値に抑えることが可能となった。このため、反射損失が少なく、動作周波数が500MHz以上の回路にも追従が容易で、高速の信号伝送が可能となった。

【0031】図4は本発明の実装基板の多層配線回路部をマイクロストリップ線路に模擬化した図を示している。配線の特性インピーダンス(Z_0)は、配線形状がアスペクト比1の矩形(図中： $t=W$)とすると、配線層39の厚さ t と絶縁層40の厚さ h の比、 t/h の関数として表される。

【0032】図5は t/h と Z_0 の関係を示している。 $t/h=0.01$ 、つまり配線層厚さ/絶縁層厚さが100の場合、 Z_0 は約250Ω、 $t/h=0.1$ 、つまり配線層厚さ/絶縁層厚さが10の場合、 Z_0 は約150Ω、 $t/h=1$ 、配線層と絶縁層の厚さが同一の場合、 Z_0 は約60Ωとなった。

【0033】図6は配線層41の厚さ t が20μm、絶縁層42の厚さ h が40μmの配線シート43を耐熱性接着シート44を用いて、セラミックス基板45に加熱圧着して得られる本発明の実装基板46を示している。

【0034】本基板の特性インピーダンス(Z_0)は、図5より求めると、 $t/h=0.5$ となり、 Z_0 は約100Ωとなった。本基板では、耐熱接着シートおよび絶縁層のシートの厚さを任意に変えることが可能である。現在のシート材の規格によれば、 $h=10\mu\text{m}\sim 200\mu\text{m}$ まで入手できる。また配線層は、薄膜ホトエッチングなどのサブトラクティブ法や、選択めっきや蒸着・リ

フトオフなどのアディティブ法によれば、 $t=1\mu\text{m}\sim 50\mu\text{m}$ まで形成可能である。これらの数値から、 $t/h=0.005\sim 5$ まで、本基板では設計の許容範囲となる。この場合、本基板の特性インピーダンス(Z_0)は、250Ω～50Ωとなった。また本基板では、配線層厚さを20μm、シート厚さを例えば40μm、多層配線の層数を4層とすると、多層配線部の厚さは180μm、セラミックス基板の厚さを0.8mmとした場合、全体の実装基板の厚さは0.98mmとなり、1mm以下の基板の供給も可能である。

【0035】以下、本発明の耐熱性接着シートを用いて積層された多層配線を有する実装基板の作製方法について図7、図8を用いて説明する。内層配線47を有するセラミックス基板48上にスパッタリングにより、2層膜49(Cr/Cu:0.2μm/5μm)を形成した。次にレジスト膜50を設け、エッチングにより、配線パターン51を得た後、低熱膨張性のポリイミドフィルムと接着性を有する接着フィルムの2層フィルムを加熱・圧着することにより、配線パターン中に接着フィルムが充填されるとともに、平坦化され絶縁層52を得た。次にエキシマレーザ(KrF:248nm)を用いて、マスク投影法により、φ25μmの行止り穴53を開口し、化学銅めっき法により、開口部に導体配線54を形成した。以上の工程を繰返すことにより、図8に示したセラミックス基板55上に合計6層の多層配線56を得た。

【0036】最後にメモリーLSI57及び論理LSI58をはんだ59により、電氣的に接続し、セラミックス基板に外部接続端子60を設け、大型汎用計算機及び、高速プロセッサに対応した実装基板61を得た。

【0037】図9は本発明の実装基板の概念をパーソナルコンピュータ中で稼働可能なLAN用のLSIのモジュール基板(LANカード)に応用した例である。

【0038】メモリーLSIのパッケージ62と論理LSIパッケージ63が接続用外部端子64でシート上の多層の信号配線回路65、基板66を介して、外部接続端子67によって、パーソナルコンピュータに接続される。

【0039】図10は本発明の実装基板の概念をパーソナルコンピュータ用のメモリーカードに応用した例である。メモリーLSI68がシート上の多層の信号配線回路69と電氣的に接続され、基板70を介して、外部接続端子71によって、パーソナルコンピュータに接続される。またLSIには保護のため、コーティング膜72が被覆されている。

【0040】次に比較例として、従来の逐次薄膜形成法により作製した実装基板の作製例を図11を用いて、説明する。

【0041】まずシリコン基板73上に銅配線用の下地薄膜(クロム/銅/クロムの3層、厚さ0.5μm)

10

20

30

40

50

74をスパッタリングにより形成した。次に、ホトレジストパターン75を形成し、電気銅めっきにより信号回路76と層間接続用のビアスタッド77を形成した。続いて、ホトレジストを除去した後、下地薄膜をスパッタエッチングにより除去し、パターン分離を行い、第1層の配線78を得た。次に、絶縁膜用のポリイミドのワニス塗布後、キュアリングすることにより、ポリイミド絶縁膜79(厚さ20 μ m)を得た。さらに、ポリッシングにより、ポリイミド膜を平坦化し、ビアスタッド部の銅配線80の頭出しを行い接続部を露出した。以上の一連の工程を繰返し、実装基板81を得た。この工程でシリコン基板の反りは200 μ mを超えたため、電源供給用の基板に接続することができなかった。

【0042】

【発明の効果】本発明により、大型汎用計算機やワークステーション、高速プロセッサ用のモジュール基板の高密度化が図れるとともに安価に製造できるメリットを有している。

【図面の簡単な説明】

【図1】本発明の高密度実装基板の作製方法を示す図。

【図2】本発明の高密度実装基板の作製方法を示す図。

【図3】本発明の高密度実装基板を示す図。

【図4】本発明の高密度実装基板の配線部をマイクロストリップ線路に模式化した図。

【図5】配線特性インピーダンスと配線層の厚さ t と絶縁層の厚さ h の比 t/h との関係を示す図。

【図6】本発明の高密度実装基板の一例を示す図。

【図7】本発明の高密度実装基板の作製方法を示す図。

【図8】本発明の高密度実装基板の断面図。

【図9】本願発明のLAN用のLSIのモジュール基板の模式図。

【図10】本願発明の実装基板を適用したメモリーカードの一例を示す図。

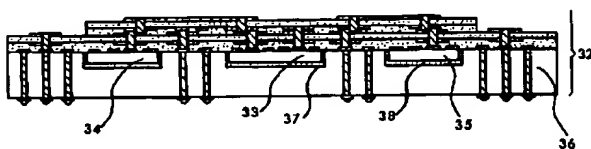
【図11】従来の逐次薄膜形成法による実装基板の作製方法を示す図。

*【符号の説明】

1…セラミックス基板の内層回路、2…ざぐり、3, 36, 45, 48, 55…セラミックス基板、4, 58…論理LSI、5, 6, 34, 35, 57, 68…メモリーLSI、7…金ペースト、8…LSIの外部出力端子、9…LSIの信号回路が形成されたシート配線、10, 24, 44, 52…耐熱性接着シート、11…加熱圧着された耐熱性接着シート、12…LSIの外部出力端子の直上部、13…セラミックス基板の表面回路の直上部、14…LSIの外部出力端子部、15…セラミックス基板の表面回路、16…無電解化学銅めっき、17, 18…LSIの補修用の回路、19…補修パッド、20…無電解化学銅めっき、21…LSIの信号伝送を受け持つ上層2層銅配線、22, 23, 43…配線シート、25…出力端子用のパッド、26, 76…信号回路、27…無電解化学銅めっき、28…出力端子、29…電源供給用出力ピン、30, 59…はんだ、31, 32, 46…薄型高密度実装基板、33…論理LSI、37…セラミックス基板のざぐり部、38…エラストマ材、39…マイクロストリップ線路の配線層、40…マイクロストリップ線路の絶縁層、41…配線シートの配線層、42…配線シートの絶縁層、47…内層配線、49…スパッタリングで得られたCr/Cu2層膜、50…エッチング用レジスト膜、51…エッチングで得られた配線パターン、53…エキシマレーザで得られた行止り穴、54…化学銅めっきで得られた導体接続配線、56…多層配線(6層)、60, 67, 71…外部接続端子、61, 81…実装基板、62…メモリーLSIパッケージ、63…論理LSIパッケージ、64…外部接続用端子、65, 69…多層信号配線回路、66, 70…基板、72…保護コーティング膜、73…シリコン基板、74…めっき用下地薄膜、75…ホトレジストパターン、77…ビアスタッド、78…第1層配線、79…ポリイミド絶縁膜、80…ポリッシングで頭出しされた銅配線。

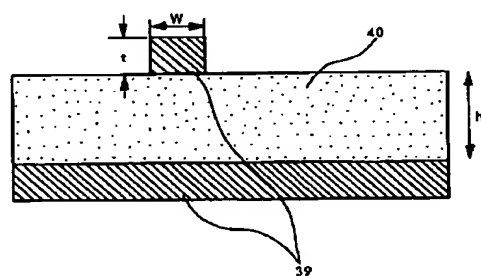
【図3】

図 3



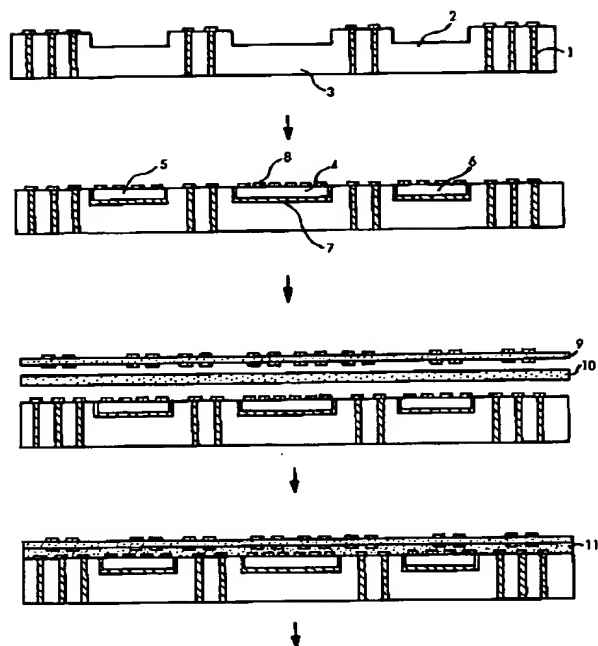
【図4】

図 4



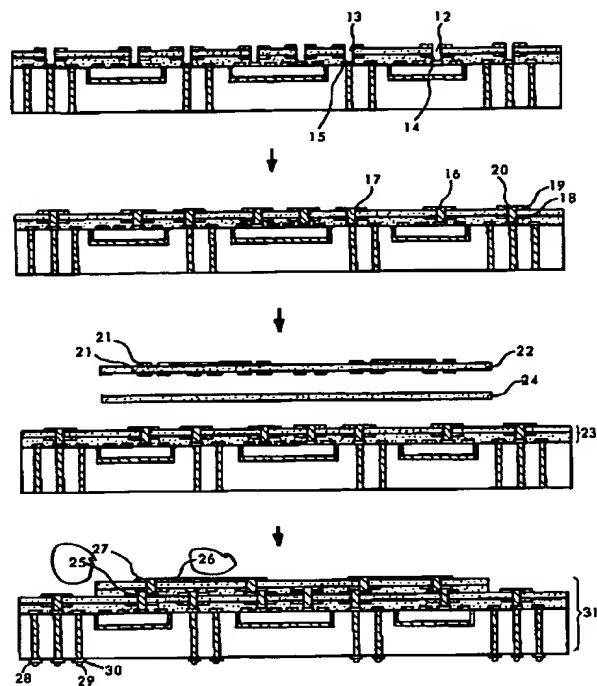
【図1】

図 1

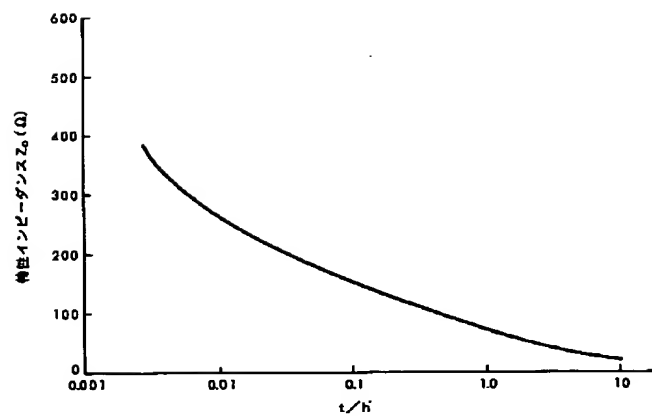


【図2】

図 2

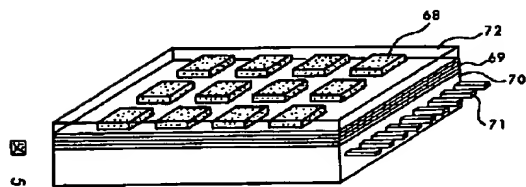


【図5】



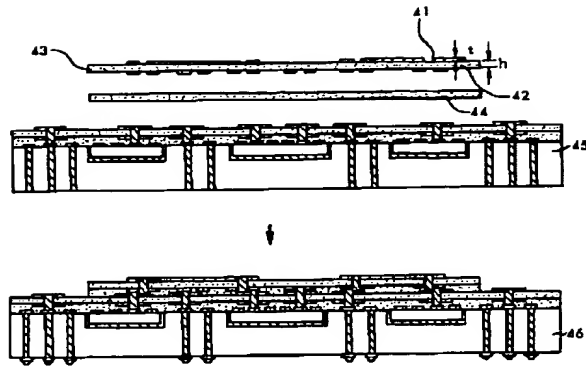
【図10】

図 10



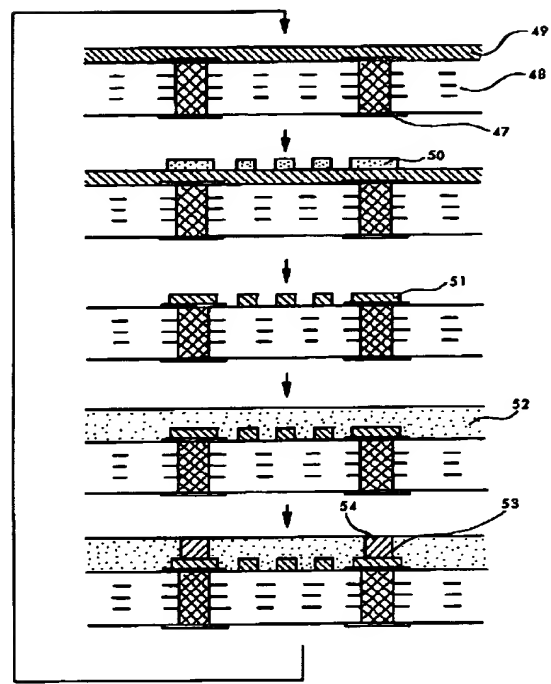
【図6】

図 6

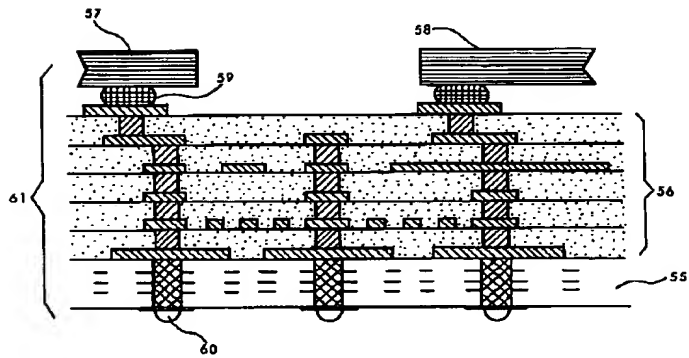


【図7】

図 7

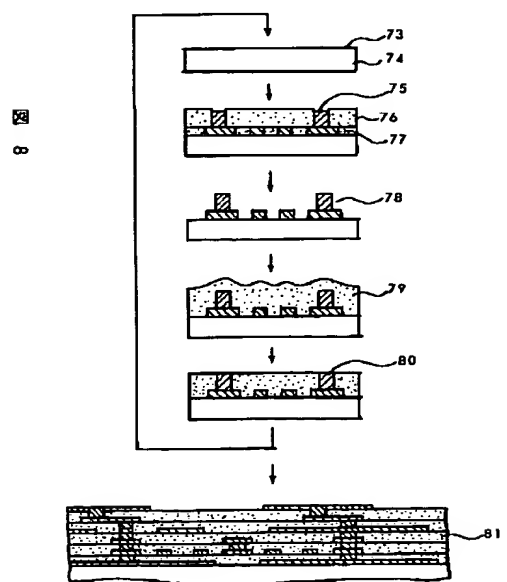


【図8】



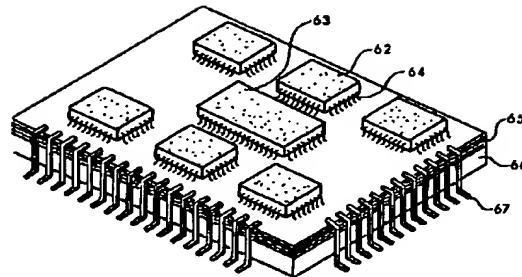
【図11】

図 11



【図 9】

図 9



フロントページの続き

(72)発明者 鈴木 正博
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 渡辺 隆二
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 赤星 晴夫
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 片桐 純一
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 今井 勉
神奈川県秦野市堀山下 1 番地 株式会社日
立製作所汎用コンピュータ事業部内

(72)発明者 大幸 洋一
神奈川県秦野市堀山下 1 番地 株式会社日
立製作所汎用コンピュータ事業部内